CALCOLATORI ELETTRONICI A – 8 aprile 2009

NOME:	**COGNOME:**	**MATR:**
Scrivere chiaramente in caratteri maiuscoli a stampa		

1. Utilizzando la green card tradurre in codice macchina le seguenti istruzioni assembly MIPS:

```
E1:   sw $t0, 16($t1)
      addi $t1, $t1, 4
      addi $t0, $t0, -1
      bne $t0, $zero, E1
```

[3]

2. Si traduca la seguente pseudoistruzione in una o più istruzioni in assembly MIPS disponibili direttamente nell'ISA:

```
bge  $s1, $s2, L1
```

[2]

3. Scrivere una procedura in assembler MIPS corrispondente alla seguente funzione ricorsiva espressa in linguaggio C. Si utilizzino le note convenzioni sui registri. [5]

```
int F(int a, int b){
        if(a>b || a<10) return a;
          else return F(b-a, 2a);
        }
```

4. Illustrare la funzione del registro frame pointer (`$fp`) nella gestione delle procedure. [2]

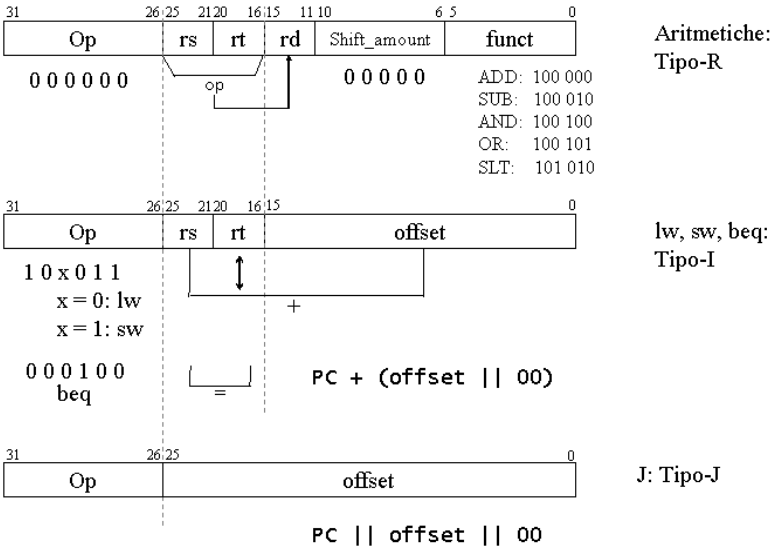
5. Si considerino, mostrati nelle figure alla pagina seguente, il datapath ed il diagramma a stati finiti che specifica l'unità di controllo secondo la tecnica a multiciclo relativamente alle istruzioni MIPS *lw*, *sw*, *beq*, *j* ed alle istruzioni *Tipo-R.*
Si vuole implementare la nuova istruzione

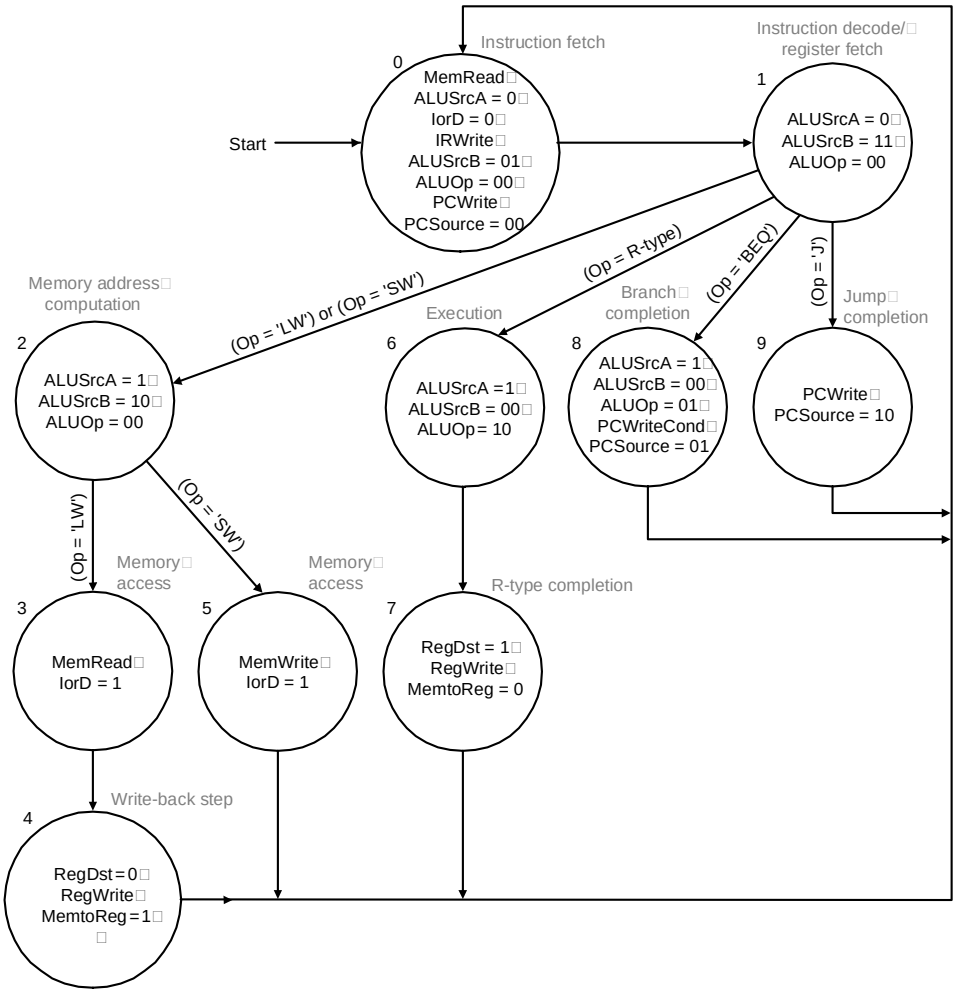
EXCHANGE r1, r2, offset

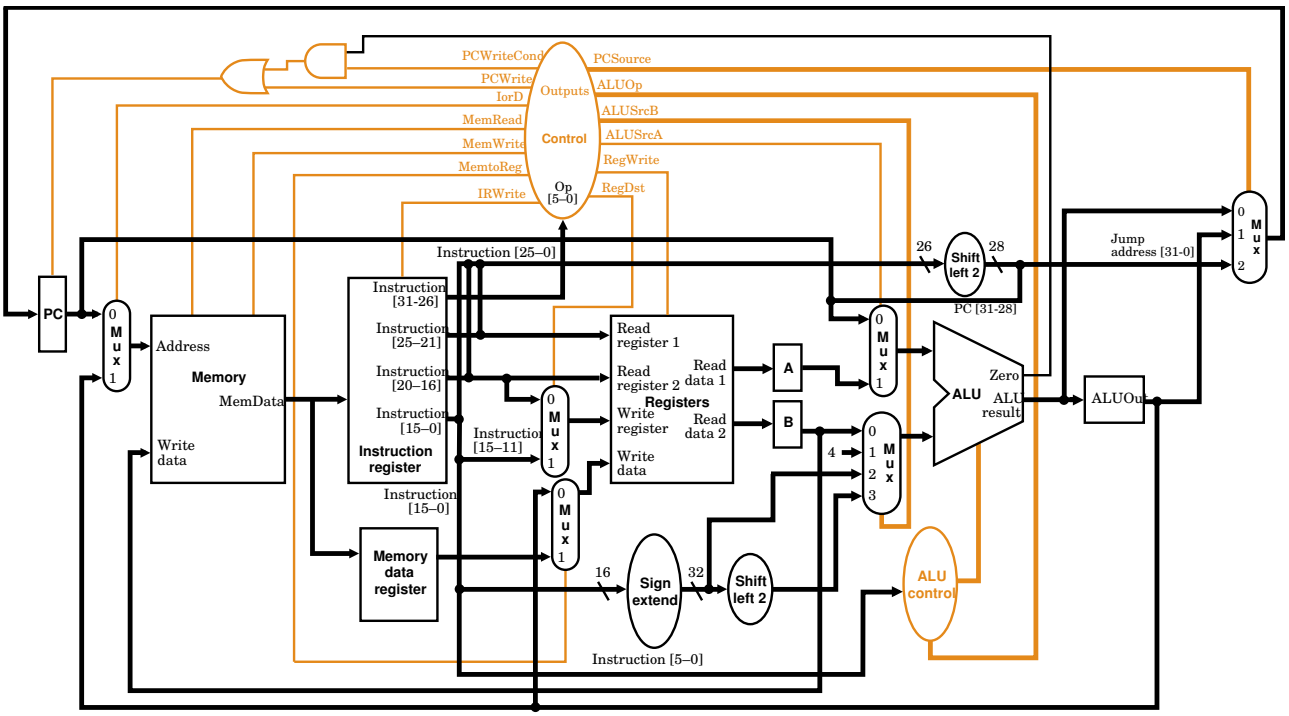
che scambia la parola di memoria di indirizzo r1+offset con la parola di memoria di indirizzo r2+offset, ovvero: M[r1+offset] ↔ M[r2+offset]

Ricordando i tre formati di codifica delle istruzioni (riportati di seguito) si chiede di:
- riportare il formato della nuova istruzione macchina (specificando anche i campi destinati rispettivamente a *r1* e *r2*);
- riportare, nella corrispondente figura, le modifiche necessarie al datapath;
- estendere il diagramma degli stati per implementare la nuova istruzione. [6]

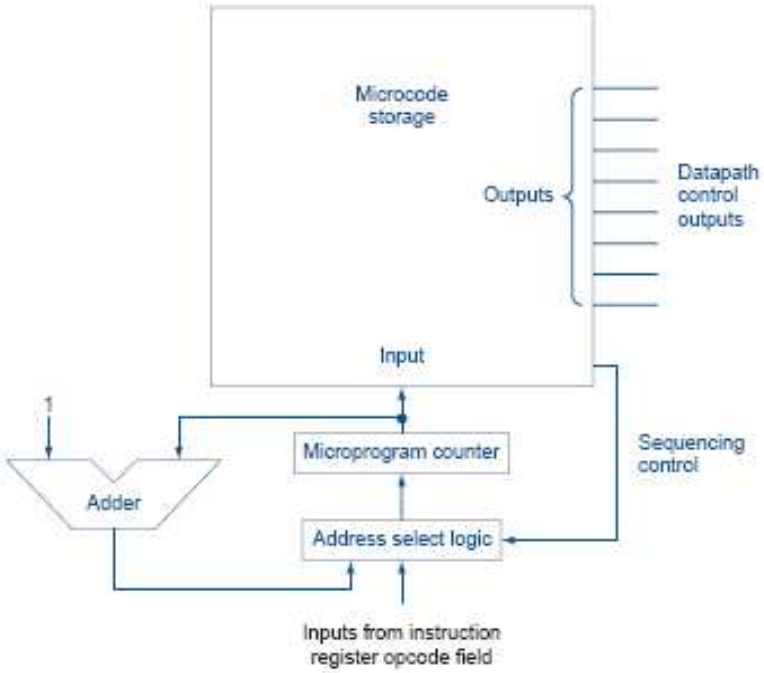
Promemoria formati delle istruzioni:




Start
Instruction fetch
0
MemRead
ALUSrcA = 0
IorD = 0
IRWrite
ALUSrcB = 01
ALUOp = 00
PCWrite
PCSource = 00
Instruction decode/
register fetch
1
ALUSrcA = 0
ALUSrcB = 11
ALUOp = 00
(Op = 'LW') or (Op = 'SW')
(Op = R-type)
(Op = 'BEQ')
(Op = 'J')
Memory address
computation
2
ALUSrcA = 1
ALUSrcB = 10
ALUOp = 00
Execution
6
ALUSrcA =1
ALUSrcB = 00
ALUOp= 10
Branch
completion
8
ALUSrcA = 1
ALUSrcB = 00
ALUOp = 01
PCWriteCond
PCSource = 01
Jump
completion
9
PCWrite
PCSource = 10
(Op = 'LW')
(Op = 'SW')
Memory
access
3
MemRead
IorD = 1
Memory
access
5
MemWrite
IorD = 1
R-type completion
7
RegDst = 1
RegWrite
MemtoReg = 0
Write-back step
4
RegDst = 0
RegWrite
MemtoReg = 1


PCWriteCond
PCWrite
IorD
MemRead
MemWrite
MemtoReg
IRWrite
Outputs
Control
Op
[5–0]
PCSource
ALUOp
ALUSrcB
ALUSrcA
RegWrite
RegDst
PC
Address
Memory
MemData
Write
data
Instruction
[31-26]
Instruction
[25–21]
Instruction
[20–16]
Instruction
[15–0]
Instruction
register
Instruction [25–0]
Instruction
[15–11]
Instruction
[15–0]
Memory
data
register
Read
register 1
Read
register 2
Registers
Write
register
Write
data
Read
data 1
Read
data 2
A
B
4
ALU
Zero
ALU
result
ALUOut
26
Shift
left 2
28
PC [31-28]
Jump
address [31-0]
16
Sign
extend
32
Shift
left 2
ALU
control
Instruction [5–0]
M
u
x

6. Si consideri il seguente schema, che si riferisce ad una unità di controllo del processore microprogrammata. Per ciascuna delle seguenti affermazioni, si dica se è vera o falsa, motivando le risposte:
   - il contatore di microprogramma (microprogram counter) viene aggiornato quando viene aggiornato il program counter;
   - il contatore di microprogramma viene aggiornato più volte rispetto al program counter;
   - il contatore di microprogramma viene aggiornato ad ogni ciclo di clock. [3]



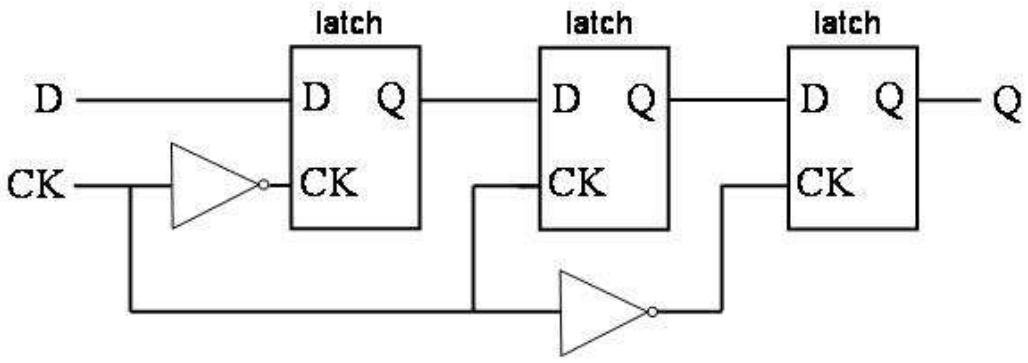
7. Si consideri una memoria cache a corrispondenza diretta. Motivando brevemente le risposte, si dica come influiscono sul tempo di hit (T_{hit}), tempo di miss (T_{miss}) e frequenza di miss (f_{miss}) della stessa memoria cache:
- un eventuale aumento del grado di associatività della stessa memoria cache;
- l'introduzione di un'ulteriore cache di livello 2. [4]

8. Si consideri la nota implementazione dell'unità di controllo secondo la tecnica multiciclo relativamente alle istruzioni MIPS *lw*, *sw*, *beq*, *j* e *TIPO-R*. Si assuma il seguente carico di lavoro:

Tipo-R:	40%
sw:	20%
lw:	30%

Si dispone di una cache primaria con T_{hit} = 1 ciclo di clock, f_{miss} per le istruzioni pari al 2%, f_{miss} per i dati pari al 4% e di una memoria DRAM con un tempo di accesso pari a 100 cicli di clock.

a) Determinare quale sarebbe l'incremento delle prestazioni aggiungendo una cache secondaria con tempo di accesso di 10 cicli di clock e f_{miss}=20% per le istruzioni e 40% per i dati.

b) Determinare quale sarebbe, rispetto al caso a), la variazione delle prestazioni aggiungendo una cache di livello 3 con tempo di accesso di 20 cicli di clock e f_{miss}=50% per i dati e f_{miss}=50% per le istruzioni. [5]

9. Si descriva il comportamento del seguente circuito (ingressi: D e CK; uscita: Q). [2]